

⑫ 公開特許公報(A)

昭62-78920

⑤ Int.Cl.⁴

識別記号

庁内整理番号

③ 公開 昭和62年(1987)4月11日

H 03 M 13/00

6832-5J

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 ファイア符号の符号化・復号化装置

⑭ 特 願 昭60-217876

⑮ 出 願 昭60(1985)10月2日

⑯ 発 明 者 齊 木 栄 作 横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑰ 発 明 者 堀 川 真 理 横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑱ 発 明 者 川 村 哲 士 横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称 ファイア符号の符号化・復号化装置

2 特許請求の範囲

フィードバックシフトレジスタと排他的オア回路を用いた直列除算回路と、該フィードバックシフトレジスタの所定の段と所定の該排他的オア回路とを選択し第1の生成多項式にもとずく巡回冗長チェック回路と第2の生成多項式にもとずく誤り訂正符号回路とを選択的に形成可能とする第1の選択回路と、該誤り訂正符号回路が形成されたときにそのフィードバックシフトレジスタのシフト方向を順、逆に選択可能とする第2の選択回路とからなることを特徴とするファイア符号の符号化・復号化装置。

3 発明の詳細な説明

〔発明の利用分野〕

本発明は、ディスク制御装置などに好適なファイア符号の符号化・復号化装置に関する。

〔発明の背景〕

第5図はハードディスク装置で用いられるトラックフォーマットの一例を示す説明図である。このフォーマットは、ディスクインタフェースST506(Floppylike)仕様において一般的のものであり、1セクタ当りのデータ容量は256バイト、1トラック当りのセクタ数は32である。なお、第5図において、 \cdot 内は16進数のビットパターンを()内の数値はバイト長を示している

IDフィールドの巡回冗長チェック(CRC)の基本的な復合装置を第6図に示す。この場合の生成多項式 $g(x)$ は $x^{16} + x^{12} + x^5 + 1$ であり、この復合装置には、一方、DATAフィールドの誤り訂正符号(ECC)の一般的な復合装置を第7図に示す。この復合装置は生成多項式 $g(x) = (x^2 + 1)(x^{11} + x^2 + 1)$ に基づくものであり、図中の1~32はフィードバックシフトレジスタのそれぞれ1~32段を示している。また、信号装置によって得られるファイア符号の構成図である。

一般に、生成多項式 $g(x)$ によるファイア符号

の符号長を n ビット, $g(x)$ の次数を e , 誤りパターン $B(x)$ の次数を m , 誤り位置を第 i ビットとすると, 受信符号 $F(x)$ の入力終了時ではフィードバックシフトレジスタの内容 $S^i(x)$ は,

$$S^i(x) \equiv x^e F(x) \equiv x^e \cdot x^i \cdot B(x) \pmod{g(x)}$$

となる。誤りパターンを得るには, この後で更に $(n - e - i)$ 回のシフト操作が必要となる。このシフト操作によって得られるフィードバックシフトレジスタの下位 m 段が誤りパターン $B(x)$ に相当する。通常, 訂り訂正符号は 11 ビット以内のバーストエラーを検出, 訂正するのに用いられる。

第 7 図で示した 32 ビットの誤り訂正符号の場合, 符号語の符号長は 42987 であるのに対し, 通常取り扱う符号のデータ長は 256 バイト (2048 ビット) である。従って, かかる従来の復号装置では, 非常に多大な復号時間を要し, ほとんど実用的とは言えない。

こうした欠点を克服する方法のひとつとして, 中国人の剰余定理を用いた高速復号法があるが,

用して, 巡回冗長チェック及び誤り訂正符号の回路を一つの直列除算回路で構成したファイア符号の符号化・復号化装置を提供することにある。

〔発明の概要〕

この目的を達成するために, 本発明はハードディスク装置, フロッピーディスク装置等のデータ記憶装置のトラックフォーマットには, 巡回冗長チェック及び誤り訂正符号が併用されるのが一般的であることに着目し, 両者の回路をフィードバックシフトレジスタ及び EOR ゲートを用いた一つの直列除算回路で構成し, 巡回冗長チェック回路として動作させる場合と誤り訂正符号回路として動作させる場合とに選択可能とし, かつ, 上記フィードバックシフトレジスタを双方向にシフトできるようにすることによって, ハードの物量を少なく, かつ高速に復号できるようにした点に特徴がある。

〔発明の実施例〕

以下, 本発明の実施例を図面によって説明す

(たとえば, IEEE TRANSACTIONS ON INFORMATION THEORY, JANUARY 1969) 剰余定理を使って誤り位置を求めるための演算機能を設けなければならないというに, 装置自体が並列除算回路から成るため復号のみにしか用いられず, 符号装置を別に設けなければならない等の欠点がある。

その他に短縮化巡回符号復号法が考案されているが, (たとえば, 特開昭 58-147807 号公報) この方法では, 符号長からデータ長を引いた差 (α ビット) を算出し, 受信符号 $F(x)$ として補正多項式 $P(x)$

$$P(x) = x^\alpha \pmod{g(x)}$$

を予め計算しなければならないという面倒がある。

〔発明の目的〕

本発明の目的は, 符号, 復号を行うことができるとともに, 受信符号上の誤りを高速に訂正でき, かつ, 任意のデータ長の受信符号に対し適用できるファイア符号の符号・復号方法を利

る。

第 1 図は本発明によるファイア符号の符号化・復号化装置の一実施例を示す構成図であって, 1~32 はフリップフロップ, 41~46 は EOR ゲート, 103, 201 はフィードバックライン, 202 は選択回路, 203 は選択制御信号である。

同図において, フリップフロップ 1~32 はフィードバックシフトレジスタの各段を構成するものであり, これらフリップフロップ 1~32 と EOR 41~44, 46 およびフィードバックライン 103 で誤り訂正符号回路が構成されている。また, これらフリップフロップ 1~32 のうちのハッチングして示すフリップフロップ 17~32 (これらは, 順次 (1), ..., (16) の符号で示す) は, 巡回冗長チェック回路でのフィードバックシフトレジスタの各段であり, EOR 43, 45, 46 およびフィードバックラインとともに巡回冗長チェック回路を構成している。

誤り訂正符号のシフトは破線の矢印に沿って行われ, 巡回冗長チェック符号のシフトは実線

の矢印に沿って行われる。信号線 100 から入力される受信符号が誤り訂正符号である場合には、破線矢印に沿う誤り訂正符号回路が選択され、巡回冗長チェック符号である場合には、実線矢印に沿う巡回冗長チェック回路が選択されるが、かかる選択は、選択制御信号 203 が供給される選択回路 202 によって行われる。

ここで、誤り訂正符号の生成多項式 $g(x)$ を、

$$g(x) = (x^{21} + 1)(x^{11} + x^2 + 1)$$

とし、巡回冗長チェック符号の生成多項式 $g(x)$ を、

$$g(x) = x^{16} + x^5 + 1$$

としているが、本発明はこれらの生成多項式のみ限定されるものではない。

この実施例では、誤り訂正符号回路を構成するフリップフロップの一部を巡回冗長チェック回路を構成するフリップフロップに兼用し、1つの直列除算回路でもって誤り訂正と巡回チェックを行えるようにしているものである。

第 1 図における破線、実線の矢印は一方方向の

イア符号の構成から明らかなように、シフト方向を順方向から逆方向に切換えて j 回シフトを行えば、

$$x^{e-j} \cdot F(x) \equiv x^{e-m} \cdot B(x) \pmod{g(x)}$$

となり、誤りパターン $B(x)$ が求められる。この時の誤り位置は j であり、フィードバックシフトレジスタの上位置 m ビットが誤りパターン $B(x)$ を示す。ただし、データ長の回数だけシフトしても誤りパターンが得られない場合は、誤り訂正不可能と判断される。

これにより、非常に高速に復号が行われ、かつ、この実施例は適用データ長は符号長以下であれば任意である等の特長を有するものである。

第 4 図は第 1 図に示した実施例をより詳しく説明するための構成図であって、51~62 はシフト方向を選択するための選択回路、101 はこれら選択回路 51~62 を制御するための選択制御信号であり、その制御信号 101 のレベルがハイレベルの場合は順方向シフトとなり、逆にロウレベルの場合に逆方シフトとなる。例えば、制御

ミを示しているが、誤り訂正符号回路の場合には、これとは逆方向にもシフト可能としており、これによって誤り訂正動作の高速化を実現する。

次に、この実施例の誤り訂正符号回路の場合について第 2 図により説明するが、同図においては、第 1 図に対応する部分には同一符号をつけ、かつ、破線矢印で示す方向のシフトを順方向シフト、実線矢印で示す方向のシフトを逆方向シフトとる。また、104 はフィードバックラインである（これは、第 1 図では省略されている）。

第 2 図において、信号線 100 から受信符号を順方向シフトで入力すると、入力終了時点でのフィードバックシフトレジスタの内容は、

$$S^1(x) \equiv x^e \cdot F(x) \equiv x^{e+j-m} \cdot B(x) \pmod{g(x)}$$

となる。 $S^1(x) = D$ であれば受信符号に誤りがないことを示すが、 $S^1(x) \neq D$ の場合は誤りが検出されたことになる。

$S^1(x) \neq D$ の場合、本発明で用いる復号方法では、第 3 図に示す順方向シフトで得られるフ

信号 101 をハイレベルにすると、選択回路 52 においては、入力信号 A、B のうちの入力信号 A（フリップフロップ 1 の出力 Q）が選択され、クロック 105 の立上りタイミングによってフリップフロップ 2 の入力信号となる。他方、制御信号 101 をロウレベルにすると B 信号（フリップフロップの出力 Q）が選択される。

第 4 図ではフリップフロップ 4~16 とこれらに inputs が信号を与える選択回路等部分的に省略してあるが、これらは同じ繰り返しで配置されている。

以下、第 4 図における符号化と復号化の具体的手順を説明する。

1. 巡回冗長チェックの符号化

制御信号 101 をハイレベルにして順方向シフトに設定し、また、制御信号 203 をロウレベルにして巡回冗長チェックモードにする。信号線 100 からデータを 1 ビットずつ順次入力する。クロック信号 105 の立上りによってフィードバックシフトレジスタの内容は 1 ビット順方向にシ

フトする。データ入力終了時点のフィードバックシフトレジスタの内容が検査パターンになる。従って、この検査パターンをデータの後に付けて逆出すれば符号化は終了となる。

2. 巡回冗長チェック復号化

制御信号101で順方向シフトに設定、制御信号203で巡回冗長チェックモードとする。受信データを順次信号線100から入力する。受信データ入力終了時点でANDゲート81の出力がハイレベルであれば、フィードバックシフトレジスタの17～32段がゼロであり、シンドローム $S(x) = 0$ である。すなわち、誤りなしと判断され復号は終了となる。もし、ANDゲート81の出力がロウレベルであれば、シンドローム $S(x) \neq 0$ であり、誤りが検出されたことになる。

3. 誤り訂正符号の符号化

制御信号101をハイレベルにして順方向シフトに設定し、また、制御信号203をハイレベルにして誤り訂正符号モードにする。この後、信号線100からデータを1ビットずつ順次入力す

ドバックシフトレジスタの上位11ビット(22～32)が誤りパターンを表す。また、逆方向にシフトした回数が誤りパターンの先頭ビットの位置を表す。もし、シフト回数が受信データの長さに達しても出力信号106がハイレベルにならない時は、訂正不可能な誤りと判定される。

誤りパターンが得られた場合、誤り位置から受信符号と誤りパターンの排他的論理和をとれば受信符号の誤りが訂正される。

〔発明の効果〕

以上説明したように、本発明によれば、巡回冗長チェック及び誤り訂正符号の回路を一つの直列除算回路で構成することによって、ハードの物量を少なくでき、また、誤りを高速に訂正できるという優れた効果を得ることができる。

4. 図面の簡単な説明

第1図は本発明によるファイア符号の符号化・復号化装置の一実施例を示す構成図、第2図はこの実施例が誤り訂正符号回路として動作する場合の構成図、第3図は第2図の動作説明図、

この後の処理内容は前述した巡回冗長チェックと同様であるのでここでは省略する。

4. 誤り訂正符号の復号化

制御信号101を順方向シフトに設定、制御信号203を誤り訂正符号モードにする。受信データ入力終了時点でANDゲート82の出力がハイレベルであれば、フィードバックシフトレジスタの1～32段がゼロであり、シンドローム $S(x) = 0$ である。もし、ANDゲート82の出力がロウレベルであれば、シンドローム $S(x) \neq 0$ であり、誤りが検出されたことになる。この場合、制御信号101をロウレベルとして、逆方向シフトに設定する。その後、クロック信号105から1回クロックを出して、フィードバックシフトレジスタを逆方向に1ビットシフトさせる。その時のANDゲート80の出力信号106がロウレベルであれば、更に逆方向にシフトを続け、出力信号106がハイレベルになるまでこの動作を繰り返す。

出力信号106がハイレベルになった時、フィー

第4図は第1図をより詳しく示した構成図、第5図はハードディスク装置に用いられるトラックフォーマットの一例を示す説明図、第6図は従来の巡回冗長チェック符号の復号装置の一例を示す構成図、第7図は従来の誤り訂正符号の復号装置の一例を示す構成図である。第8図はその動作説明図である。

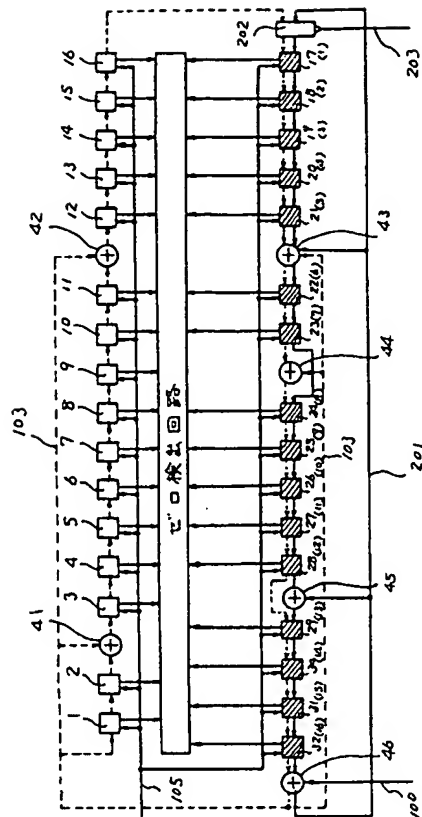
1～32 … フィードバックレジスタの各段、

41～46 … EORゲート、

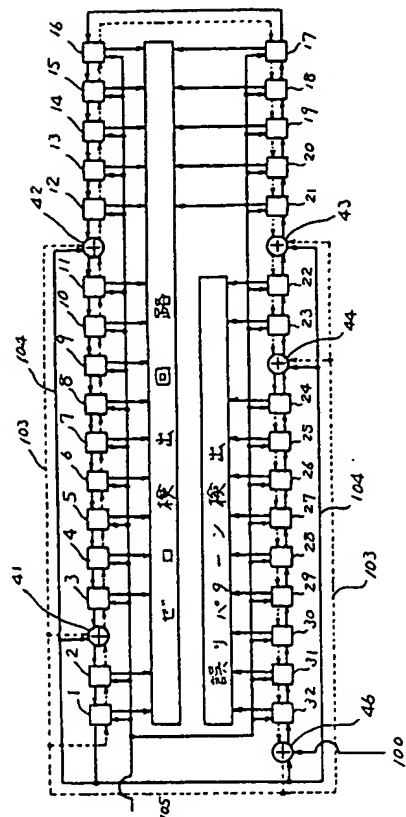
202 … 選択回路、 100 … 信号線、

103, 104, 201 … フィードバックライン。

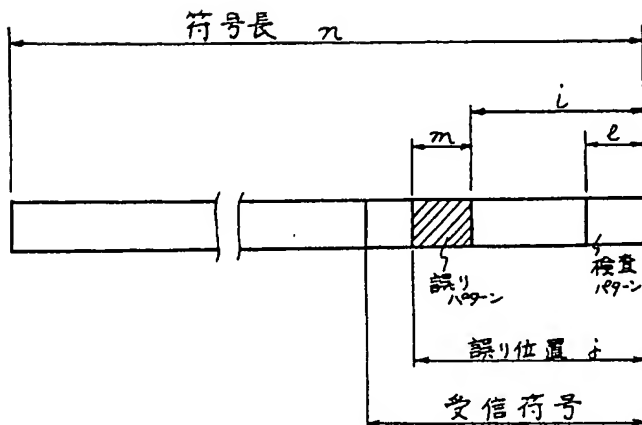
第 1 図



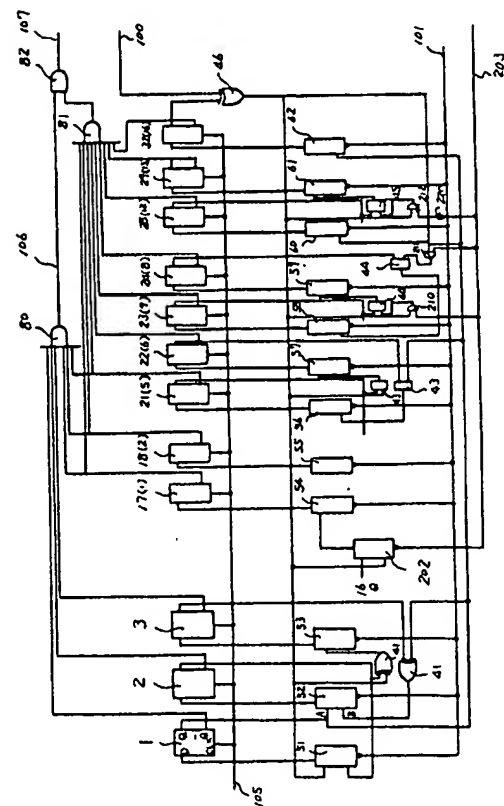
第 2 図



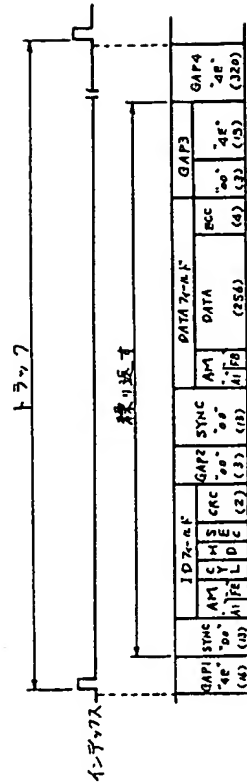
第 3 図



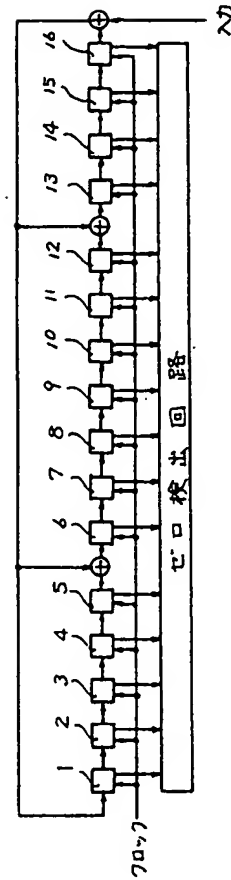
第 4 図



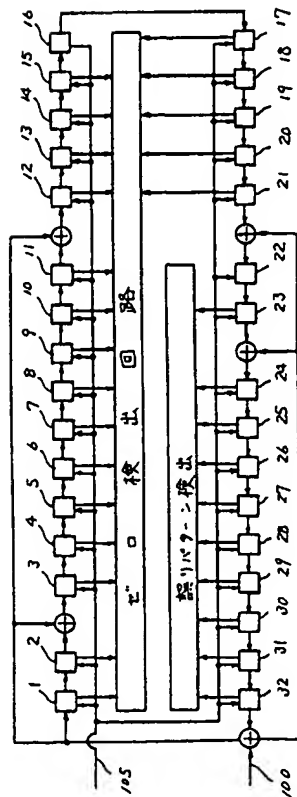
第 5 図



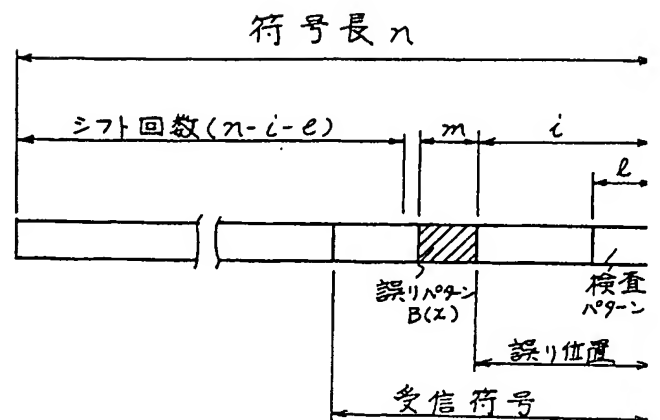
第 6 図



第 7 図



第 8 図



PAT-NO: JP362078920A
DOCUMENT-IDENTIFIER: JP 62078920 A
TITLE: ENCODING AND DECODING DEVICE FOR FIRE CODE
PUBN-DATE: April 11, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
SAIKI, EISAKU	
HORIKAWA, MARI	
KAWAMURA, TETSUSHI	

INT-CL (IPC): H03M013/00

US-CL-CURRENT: 714/746

ABSTRACT:

PURPOSE: To decrease the physical quantity of hardware and to correct an error at a high speed by constituting a cyclic redundancy check and an error correcting code signal as one series dividing circuit.

CONSTITUTION: A control signal 101 is held at a high level to set a forward shift mode and a control signal 203 is held at a low level to set a cyclic redundancy check mode. Then, data are inputted from a signal line 100. Further, the control signal is held at the low level to the forward shift mode and the control signal 203 is held at the high level to set the error correcting code mode, thereby performing decoding operation. The control signal 101 is set to the forward shift and the control signal 203 is placed in the error correcting code mode. If an error is detected, the control signal 101 is set to a backward shift. When the output signal 106 is held at the high level, the high-order 11 bits (22□23) of a feedback register represent an error pattern. A received code from an error position and the error pattern are ORed exclusively to correct the error of the received code.

COPYRIGHT: (C)1987,JPO&Japio